

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-205140

(43)公開日 平成11年(1999)7月30日

(51) Int.Cl.⁶
 H 03 M 1/12
 G 06 F 3/00
 H 03 K 19/0185

識別記号

F I
 H 03 M 1/12 C
 G 06 F 3/00 L
 H 03 K 19/00 101 E

審査請求 未請求 請求項の数5 OL (全7頁)

(21)出願番号 特願平10-1438

(22)出願日 平成10年(1998)1月7日

(71)出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (72)発明者 下村 武彦
 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
 (74)代理人 弁理士 吉田 茂明 (外2名)

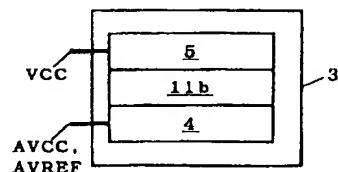
(54)【発明の名称】 アナログデジタル変換器及びレベルシフタ

包装済

(57)【要約】

【課題】 消費される電力及び発振回路からの不要輻射を抑制しつつ、マイクロコンピュータに外部から接続されるセンサについての設計変更を要しないことによってコスト上昇を回避する。

【解決手段】 アナログ入力端子のセレクタ、ラダー抵抗、ラダー抵抗の出力をデコードするデコーダ、チョップアンプ、サンプルホールド回路を備えるアナログ部4には5V系電源で動作させ、アナログ部4の動作を制御する制御信号を生成するデジタル部5は3、3V系電源で動作させる。



3 : A/D変換器

4 : アナログ部

5 : デジタル部

11 b : レベルシフタ

AVCC : アナログ用電源

VCCB : 内部ロジック用電源

AVREF : 基準電圧

【特許請求の範囲】

【請求項1】 第1の電圧が供給され、アナログデジタル変換を行う機能ブロックを有するアナログ部と、前記第1の電圧よりも絶対値の小さな第2の電圧が供給され、前記アナログ部の動作を制御する制御信号を生成するデジタル部と、

前記制御信号のレベルを前記第1の電圧と前記第2の電圧の相違に応じてシフトさせて、前記アナログ部に伝達するレベルシフタとを備えるアナログデジタル変換器。

【請求項2】 前記レベルシフタは

前記制御信号が与えられる入力端子と、

前記制御信号のレベルをシフトさせて出力する出力端子と、

前記第1の電圧が供給される両端と、前記両端の間で直列に接続され、互いに異なる導電型の第1及び第2のトランジスタとを備えた第1の経路と、

前記第2の電圧が供給され、前記入力端子に接続された入力端と、前記第2のトランジスタの制御端に接続された出力端とを有する論理回路と、

前記第2のトランジスタの第1の電流端に接続された第1の電流端と、前記第1のトランジスタの制御端に接続された第2の電流端と、前記入力端子に接続された制御端とを有し、前記第2のトランジスタと同一導電型の第3のトランジスタを備えた第2の経路と、

前記出力端子に接続され、第1の電圧が供給される電位強制回路とを含み、

前記1トランジスタの一対の電流端の内、前記第2トランジスタに近い方には前記出力端子が接続される、請求項1記載のアナログデジタル変換器。

【請求項3】 前記第1の経路は、前記出力端子と前記第2のトランジスタとの間で直列に介挿される第4のトランジスタを更に備え、

前記第2の経路は、前記第3のトランジスタの前記第2の電流端と前記第1のトランジスタの前記制御端との間で直列に介挿され、前記第4のトランジスタと同一導電型の第5のトランジスタを更に備え、

前記レベルシフタは、前記第4及び第5のトランジスタの制御端に共通して接続された制御端子を更に備える、請求項2記載のアナログデジタル変換器。

【請求項4】 入力端子と、

前記入力端子に与えられた信号のレベルをシフトさせて出力する出力端子と、

第1の電圧が供給される両端と、前記両端の間で直列に接続され、互いに異なる導電型の第1及び第2のトランジスタとを備えた第1の経路と、

前記第1の電圧と異なる第2の電圧が供給され、前記入力端子に接続された入力端と、前記第2のトランジスタの制御端に接続された出力端とを有する論理回路と、

前記第2のトランジスタの第1の電流端に接続された第1の電流端と、前記第1のトランジスタの制御端に接続

された第2の電流端と、前記入力端子に接続された制御端とを有し、前記第2のトランジスタと同一導電型の第3のトランジスタを備えた第2の経路と、

前記出力端子に接続され、第1の電圧が供給される電位強制回路とを含み、

前記1トランジスタの一対の電流端の内、前記第2トランジスタに近い方には前記出力端子が接続されるレベルシフタ。

【請求項5】 制御端子を更に備え、

10 前記第1の経路は、前記出力端子と前記第2のトランジスタとの間で直列に介挿される第4のトランジスタを更に備え、

前記第2の経路は、前記第3のトランジスタの前記第2の電流端と前記第1のトランジスタの前記制御端との間で直列に介挿され、前記第4のトランジスタと同一導電型の第5のトランジスタを更に備え、

前記第4及び第5のトランジスタの制御端に共通して前記制御端子が接続される、請求項4記載のレベルシフタ。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、異なる電圧系電源の間に介在するレベルシフタ、及びそのレベルシフタを用いたアナログデジタル変換器に関する。

【0002】

【従来の技術】 図9は従来のマイクロコンピュータ1の構成を示すブロック図である。マイクロコンピュータ1にはCPU2、アナログデジタル変換器3、周辺モジュール7、8及びI/Oインターフェース6が備えられている。アナログデジタル変換器3は、アナログ部4とデジタル部5から構成されている。

【0003】 CPU2、アナログデジタル変換器3のうちのデジタル部5、I/Oインターフェース6、周辺モジュール7、8にはデジタル回路用電源VCCが与えられる。アナログデジタル変換器3のうちのアナログ部4には、アナログ用電源AVCFと、アナログ部4が通常備えているラダー抵抗(図示されない)に供するための基準電源AVREFが与えられている。図示されないが、CPU2、デジタル部5、周辺モジュール7、8にはデジタル用の接地電源が、アナログ部4にはアナログ用の接地電源が、それぞれ与えられる。

【0004】 しかし、I/Oインターフェース6に通常設けられる出力バッファ(図示されない)のスイッチングノイズ及び外部からのノイズを内部に伝え難くして、マイクロコンピュータ1を電磁妨害(EMI:Electromagnetic Interference)に強くしたいという第1の要請がある。よってCPU2、デジタル部5、周辺モジュール7、8に与えられる電源と、I/Oインターフェース6に与えられる電源とは別途に設けることが望ましい。

50 【0005】 更に、CPU2、周辺モジュール7、8に

おいて消費される電力、及び発振回路（これは例えば周辺モジュール8に設けられ、マイクロコンピュータ1の動作を司るクロックを発生させる）からの不要輻射を抑制したいという第2の要請がある。よって、CPU2、デジタル部5、周辺モジュール7、8に与えられる電源電圧は、I/Oインターフェース6に与えられる電源電圧よりも低くすることが望ましい。

【0006】図10はかかる思想で改善されたマイクロコンピュータ1の構成を簡略化して示すブロック図である。内部ロジック回路14はCPU2、周辺モジュール7、8をまとめて示しており、内部ロジック用電源VCCEが与えられている。一方、I/Oインターフェース6にはI/O用電源VCCIが与えられている。内部ロジック用電源VCCEとI/O用電源VCCIとが互いに異なる電圧VCCE、VCCI（以下、電源と、その供給する電圧とは符号を共用する）を供給する。例えばVCCI=5V、VCCE=3.3Vに設定される。

【0007】異なる電圧が伝達される電源線は互いに接続されないので、I/Oインターフェース6において生じる、あるいは外部から介入するノイズは内部ロジック回路14に伝搬せず、マイクロコンピュータ1の誤動作が回避される。よってユーザ側でシステムを設計する場合において、電磁妨害対策を別途行う必要性がなくなり、第1の要請に応えることになる。しかも消費電力を低減し、且つ周辺モジュール8に設けられる発振回路からの不要輻射も抑制されるので、第2の要請にも応えることになる。

【0008】以上に説明したような、電圧系が異なる複数の電源を用いてマイクロコンピュータ1を構成する場合、異なる電源で動作する回路の間で信号電圧の整合を探る必要がある。図11は図10で示された構成に対し、内部ロジック回路14とI/Oインターフェース6との間で、両者の間を伝搬する信号電圧のレベルシフトを行うレベルシフタ11aを追加した構成を示している。このように、入出力回路と、論理回路との電源電圧を異ならせ、両者の間を伝搬する信号の電圧のレベルを整合する技術は、例えば特開平5-19891号公報、特開平5-303656号公報、特開平4-329024号公報にも紹介されている。

【0009】

【発明が解決しようとする課題】しかし第2の要請がある一方、更に、マイクロコンピュータ1に外部から接続されるセンサについて、設計変更を要しないことによってコスト上昇を回避したい、という第3の要請がある。I/Oインターフェース6及び内部ロジック回路14との間で電源電圧に差異を設けた技術だけでは、これらの要請を満足させることはできない。

【0010】本発明はかかる要請に応えるためになされたもので、I/Oインターフェース6以外の回路において、内部ロジック回路14に供給される電圧とは異なる

電圧を供給する技術を提供することを目的とする。

【0011】

【課題を解決するための手段】この発明のうち請求項1にかかる発明は、第1の電圧が供給され、アナログデジタル変換を行う機能ブロックを有するアナログ部と、前記第1の電圧よりも絶対値の小さな第2の電圧が供給され、前記アナログ部の動作を制御する制御信号を生成するデジタル部と、前記制御信号のレベルを前記第1の電圧と前記第2の電圧の相違に応じてシフトさせて、前記10アナログ部に伝達するレベルシフタとを備えるアナログデジタル変換器である。

【0012】この発明のうち請求項2にかかる発明は、請求項1記載のアナログデジタル変換器であって、前記レベルシフタは前記制御信号が与えられる入力端子と、前記制御信号のレベルをシフトさせて出力する出力端子と、前記第1の電圧が供給される両端と、前記両端の間で直列に接続され、互いに異なる導電型の第1及び第2のトランジスタとを備えた第1の経路と、前記第2の電圧が供給され、前記入力端子に接続された入力端と、前記20第2のトランジスタの制御端に接続された出力端とを有する論理回路と、前記第2のトランジスタの第1の電流端に接続された第1の電流端と、前記第1のトランジスタの制御端に接続された第2の電流端と、前記入力端子に接続された制御端とを有し、前記第2のトランジスタと同一導電型の第3のトランジスタを備えた第2の経路と、前記出力端子に接続され、第1の電圧が供給される電位強制回路とを含む。そして、前記1トランジスタの一対の電流端の内、前記第2トランジスタに近い方に前記出力端子が接続される。

【0013】この発明のうち請求項3にかかる発明は、請求項2記載のアナログデジタル変換器であって、前記第1の経路は、前記出力端子と前記第2のトランジスタとの間で直列に介挿される第4のトランジスタを更に備え、前記第2の経路は、前記第3のトランジスタの前記第2の電流端と前記第1のトランジスタの前記制御端との間で直列に介挿され、前記第4のトランジスタと同一導電型の第5のトランジスタを更に備え、前記レベルシフタは、前記第4及び第5のトランジスタの制御端に共通して接続された制御端子を更に備える。

【0014】この発明のうち請求項4にかかる発明は、入力端子と、前記入力端子に与えられた信号のレベルをシフトさせて出力する出力端子と、第1の電圧が供給される両端と、前記両端の間で直列に接続され、互いに異なる導電型の第1及び第2のトランジスタとを備えた第1の経路と、前記第1の電圧と異なる第2の電圧が供給され、前記入力端子に接続された入力端と、前記第2のトランジスタの制御端に接続された出力端とを有する論理回路と、前記第2のトランジスタの第1の電流端に接続された第1の電流端と、前記第1のトランジスタの制御端に接続された第2の電流端と、前記入力端子に接続

された制御端子を有し、前記第2のトランジスタと同一導電型の第3のトランジスタを備えた第2の経路と、前記出力端子に接続され、第1の電圧が供給される電位強制回路とを含むレベルシフタである。そして、前記1トランジスタの一対の電流端の内、前記第2トランジスタに近い方には前記出力端子が接続される。

【0015】この発明のうち請求項5にかかる発明は、請求項4記載のレベルシフタであって、制御端子を更に備え、前記第1の経路は、前記出力端子と前記第2のトランジスタとの間で直列に介挿される第4のトランジスタを更に備え、前記第2の経路は、前記第3のトランジスタの前記第2の電流端と前記第1のトランジスタの前記制御端との間で直列に介挿され、前記第4のトランジスタと同一導電型の第5のトランジスタを更に備え、前記第4及び第5のトランジスタの制御端に共通して前記制御端子が接続される。

【0016】

【発明の実施の形態】基本的思想、実施の形態の詳細な説明に移る前に、本願の基本的な思想について説明する。第2の要請を実現するために電源電位を低下させる必要が有る一方、第3の要請を実現するために、マイクロコンピュータ1に外部から接続されるセンサからの情報を処理するための回路の電源電位を従来から用いられていたものにとどめておく必要がある。そこで本発明では、アナログデジタル変換器3において、センサからのアナログ情報を受けるアナログ部4に与えられる電源電圧を従来のままでし、CPU2において演算に供されるべき、アナログデジタル変換後のデジタルデータを出力するデジタル部5に与えられる電源電圧を低下させる。

【0017】図12はアナログデジタル変換器3の構成を示すブロック図である。第1ないし第3の要請から、アナログ部4に与えられるアナログ用電源AVCC及び基準電源AVREFは、従来通り、例えばいずれも5Vに設定され、デジタル部5に与えられるデジタル回路用電源VCCは、内部ロジック回路14に与えられる内部ロジック用電源VCC_Eと同様に、例えば3.3Vに設定される。勿論、従来の技術で述べたように、I/Oインターフェース6に与えられるI/O用電源VCCIの電圧も5Vに設定する事が望ましい。

【0018】ここで電位5Vと接地電位と対となって与えられる電源を5V系電源と称する。同様にして、電位3.3Vと接地電位とが対となって与えられる電源を3.3V系電源と称する。つまり「アナログ部4には5V系電源が供給され、デジタル部5には3.3V系電源が供給される」と表現できる。

【0019】なお、アナログデジタル変換器3のうち、アナログ部4を構成する回路としてはアナログデジタル変換を行う機能ブロック、即ちアナログ入力端子のセレクタ、ラダー抵抗、ラダー抵抗の出力をデコードするデコーダ、チョッパアンプ、サンプルホールド回路が例示

でき、これらはいずれも公知である。また、デジタル部5を構成する回路としては、上記アナログ部の動作を制御する制御信号を生成する、公知の制御回路が例示できる。かかる制御回路を低い電圧系（つまり印加される電圧の絶対値が小さい方）の電源で駆動する事により、消費電力及びノイズを抑制する事が効果的になる。制御信号は具体的には、アナログ入力端子のセレクタがいずれの入力端子を選択するかを制御する信号、ラダー抵抗のどの接続点から分割電位を取り出すかを決定する信号、10 チョッパアンプのサンプリング期間及び判定期間を制御する信号、変換前/終了後にチョッパ部のコンデンサの電荷を引き抜かせる信号が例示できる。

【0020】実施の形態1、図1は本発明の実施の形態1にかかるアナログデジタル変換器3の構成を示すブロック図である。「基本的思想」において示されたように、本発明ではアナログ部4とデジタル部5とで、供給される電源電圧を異ならせる。そこで、本実施の形態ではアナログ部4とデジタル部5との間にレベルシフタ11bを介在させている。

20 【0021】従来からアナログ部4とデジタル部5の配置は図9や図12に示されるように別々になされていた。レベルシフタ11bを新設する場合においても図1に示されたようにこれを両者の間に配置するので、制御信号の遅延を極力小さくすることができ、変換精度を劣化させることもない。しかも、従来の回路配置についての資産を流用する事ができる。

【0022】図2は、レベルシフタ11bを構成する要素として採用され得るレベルシフト要素111の構成を示す回路図である。レベルシフタ11bはデジタル部5において3.3V系電源を用いて生成された制御信号の一つを、アナログ部4へ昇圧させて伝搬させる。

【0023】レベルシフタ11bは入力端子12及び出力端子13を有している。そして出力端と、入力端子12に接続された入力端とを備えて3.3V系電源で動作するインバータ35も備えている。図3はインバータ35の構成を例示する回路図である。電源VD3はデジタル用電源VCCが供給するのと等しい電圧、例えば3.3Vを供給する。インバータ35は電源VD3と接地との間に直列に接続されたPMOSトランジスタ351、30 NMOSトランジスタ352とで構成され、両トランジスタのゲートは共通に接続されてインバータ35の入力端を成し、両トランジスタのドレインは共通に接続されてインバータ35の出力端を成す。

【0024】図2に戻り、レベルシフト要素111は更に、PMOSトランジスタ31、32およびNMOSトランジスタ33、34も備えている。電源VD5にはトランジスタ31、32のいずれのソースも接続される。電源VD5はアナログ回路用電源AVCCが供給するのと等しい電圧、例えば5Vを供給する。トランジスタ33、34のソースはいずれも接地される。トランジスタ50

31のゲート、トランジスタ32のドレイン、及びトランジスタ34のドレインは共通して出力端子13に接続される。トランジスタ32のゲート、トランジスタ31のドレイン、トランジスタ33のドレインは共通に接続される。トランジスタ33、34のゲートはそれぞれインバータ35の入力端及び出力端に接続される。

【0025】入力端子12を介してインバータ35の入力に与えられた制御信号は、3.3V系電源で生成されたものであり、インバータ35が3.3V系電源で動作するので、トランジスタ34のゲートには、トランジスタ33のゲートに与えられた電位に対応する論理と逆の論理に対応する電位が与えられ、出力端子13からは電源VD5と接地電位との間でスイングする制御信号が得られる。つまり制御信号を昇圧させることができる。

【0026】なお、アナログ部4からデジタル部5へと向かう信号について、降圧させるためのレベルシフタを設ける必要はない。デジタル部5の入力段のMOSトランジスタのゲート酸化膜を厚くするなどして耐圧を高め、その破壊を回避すれば足りるからである。

【0027】実施の形態2、実施の形態1で示されたレベルシフト要素111は出力端子13の電位が定まらなくなる可能性がある。例えば3.3V系電源が起動する前に5V系電源が起動した場合である。この場合にはインバータ35は動作せず、トランジスタ31～34の動作が不定であり、出力端子13がフローティング状態に陥る可能性がある。出力端子13の電位が定まらなければ、アナログ部4の論理ゲートにおいて貫通電流が流れてしまう事態も起り得る。例えばチャップアンプを制御する信号がアサートし、且つチャップ部のコンデンサを引き抜かせる信号もアサートした場合である。本実施の形態ではかかる事態を回避するための技術を開示する。

【0028】図4は、本実施の形態にかかるレベルシフト要素112の構成を示す回路図である。レベルシフト要素111と同様、レベルシフト要素112もレベルシフタ11bの構成要素たり得る。

【0029】レベルシフト要素112はレベルシフト要素111の出力端子13にプルアップ回路22を附加した構成を有している。具体的にはプルアップ回路22は、例えば電源VD5、電源VD5に接続されたソースと出力端子13に接続されたドレインとを有するPMOSトランジスタ、及びこのPMOSトランジスタのゲートに接続された制御端18で構成する事ができる。

【0030】制御端18には、例えば、レベルシフタ11bを有するアナログデジタル変換器3を備えたマイクロコンピュータ1を起動する際のリセット信号に基づいた信号を与える。リセット信号がローアクティブであればリセット信号と等しい論理の信号を、リセット信号がハイアクティブであればリセット信号と逆の論理の信号を、それぞれ制御端18に与えるのである。これによ

り、リセットアサートの期間においてリセット信号がアクティブとなった際には強制的に出力端子13の電位が電源VD5近傍にまで引き上げられてハイとなる。つまり出力端子13は3.3V系電源の起動を待たずにその電位が固定される。

【0031】なお、リセット信号に限らず、初期状態を確定すべき制御信号、例えばチャップ部のコンデンサの電荷を引き抜かせる信号を制御端18に与えても同様の効果が得られるることは言うまでもない。

10 【0032】実施の形態3、図5は、本実施の形態にかかるレベルシフト要素113の構成を示す回路図である。レベルシフト要素111と同様、レベルシフト要素113もレベルシフタ11bの構成要素たり得る。

【0033】レベルシフト要素113はレベルシフト要素111の出力端子13にプルダウン回路23を附加した構成を有している。具体的にはプルダウン回路23は、例えば接地電源、接地電源に接続されたソースと出力端子13に接続されたドレインとを有するNMOSトランジスタ、及びこのNMOSトランジスタのゲートに接続された制御端19で構成する事ができる。

【0034】制御端19には、例えば、レベルシフタ11bを有するアナログデジタル変換器3を備えたマイクロコンピュータ1を起動する際のリセット信号に基づいた信号を与える。リセット信号がハイアクティブであればリセット信号と等しい論理の信号を、リセット信号がローアクティブであればリセット信号と逆の論理の信号を、それぞれ制御端19に与えるのである。これにより、リセットアサートの期間においてリセット信号がアクティブとなった際には強制的に出力端子13の電位が接地電位近傍にまで引き下げられてローとなる。つまり出力端子13は3.3V系電源の起動を待たずにその電位が固定される。

30 【0035】制御端19に与えるべき信号として、アナログ部4を制御する制御信号であっても同様の効果を得る事ができるのは、実施の形態2において述べたのと同様である。

【0036】実施の形態4、図6は、本実施の形態にかかるレベルシフト要素114の構成を示す回路図である。レベルシフト要素111と同様、レベルシフト要素114もレベルシフタ11bの構成要素たり得る。

【0037】レベルシフト要素114はレベルシフト要素111の出力端子13にラッチ回路25を附加した構成を有している。ラッチ回路25は互いに反平行に並列接続された一対のインバータで構成され、このインバータは5V系電源で駆動される。

【0038】図7はラッチ回路25の構成を例示する回路図である。ラッチ回路25はPMOSトランジスタ251、253及びNMOSトランジスタ252、254で構成される。トランジスタ251、253のソースはいずれも電源VD5に接続され、トランジスタ252、

254のソースはいずれも接地される。トランジスタ251, 252のドレインはトランジスタ253, 254のゲートに共通して接続され、トランジスタ253, 254のドレインはトランジスタ251, 252のゲートと、レベルシフト要素111の出力端子13とに共通して接続される。

【0039】5V系電源たる電源VD5が起動すれば、3.3V系電源の起動を待たずに、ラッチ回路25は出力端子13にハイ/ローいずれかの論理に対応する電位を強制的に与える。本実施の形態ではリセット信号を用いずに、実施の形態2, 3と同様の効果を得る事ができる。

【0040】実施の形態5. 図8は、本実施の形態にかかるレベルシフト要素115の構成を示す回路図である。レベルシフト要素111と同様、レベルシフト要素115もレベルシフト11bの構成要素たり得る。

【0041】レベルシフト要素114は図2に示されたレベルシフト要素111に対して、NMOSトランジスタ36, 37をそれぞれトランジスタ31, 33の間、トランジスタ32, 34の間に介挿して追加し、更に出力端子13に電位強制回路40を接続した構成となっている。

【0042】具体的には、電源VD5にトランジスタ31, 32のいずれのソースも接続され、トランジスタ33, 34のソースはいずれも接地される。トランジスタ31のゲート、トランジスタ32のドレイン、及びトランジスタ37のドレインが共通して出力端子13に接続される。トランジスタ32のゲート、トランジスタ31のドレイン、トランジスタ36のドレインは共通に接続される。トランジスタ36のソースはトランジスタ33のドレインと、トランジスタ37のソースはトランジスタ34のドレインと、それぞれ接続される。トランジスタ33のゲートはインバータ35の入力端と共に入力端子12に接続され、トランジスタ34のゲートはインバータ35の出力端に接続される。トランジスタ36, 37のゲートには共通して制御端18が接続される。

【0043】また電位強制回路40としては、実施の形態2～実施の形態4に示されたプルアップ回路22、プルダウン回路23、ラッチ回路25を採用する事ができる。

【0044】本実施の形態における制御端18にも、実施の形態2における制御端18と同じ信号を与える。例えばロー/アクティブのリセット信号を与えることにより、リセットアサートの期間においてトランジスタ36, 37がOFFするので、トランジスタ31, 32はトランジスタ33, 34から切り離される。よって3.3V系電源が起動する前のインバータ35の不安定な動作に起因したトランジスタ33, 34の不安定な動作の影響をより一層排除して出力端子の電位を強制的に設定する事ができる。

【0045】

【発明の効果】この発明のうち請求項1にかかるアナログデジタル変換器によれば、アナログ部にアナログ信号を供給する外部のセンサについては従来の設計を変更しないで、デジタル部においては従来よりも消費電力を抑制することができる。

【0046】この発明のうち請求項2にかかるアナログデジタル変換器によれば、第2の電圧が供給される前に第1の電圧が供給されても、出力端子がフローティングとなることがない。そして第1及び第2の電圧の両方が供給されれば、制御信号は第1及び第2の電圧の相違に応じてそのレベルがシフトされる。

【0047】この発明のうち請求項3にかかるアナログデジタル変換器によれば、制御端子に対して、このアナログデジタル変換器が用いられる装置、例えばマイクロコンピュータのリセット信号を与えることにより、第1のトランジスタ及び電位強制回路を、第2及び第3のトランジスタから切り離すことができる。よって第2の電圧が供給される前の、論理回路や第2のトランジスタの不安定な動作を一層排除して出力端子の電位を強制的に設定することができる。

【0048】この発明のうち請求項4にかかるレベルシフトによれば、第2の電圧が供給される前に第1の電圧が供給されても、出力端子がフローティングとなることがない。そして第1及び第2の電圧の両方が供給されれば、入力端子に与えられた信号は第1及び第2の電圧の相違に応じてそのレベルがシフトされる。

【0049】この発明のうち請求項5にかかるレベルシフトによれば、制御端子に対して所定の論理値に対応する電位を与えることにより、第1のトランジスタ及び電位強制回路を、第2及び第3のトランジスタから切り離すことができる。よって第2の電圧が供給される前の、論理回路や第2のトランジスタの不安定な動作を一層排除して出力端子の電位を強制的に設定することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の構成を示すブロック図である。

【図2】 本発明の実施の形態1を説明する回路図である。

【図3】 本発明の実施の形態1を説明する回路図である。

【図4】 本発明の実施の形態2の構成を示す回路図である。

【図5】 本発明の実施の形態3の構成を示す回路図である。

【図6】 本発明の実施の形態4の構成を示す回路図である。

【図7】 本発明の実施の形態4を説明する回路図である。

【図8】 本発明の実施の形態5の構成を示す回路図である。

【図9】 従来のマイクロコンピュータの構成を示すブロック図である。

【図10】 従来の技術を示すブロック図である。

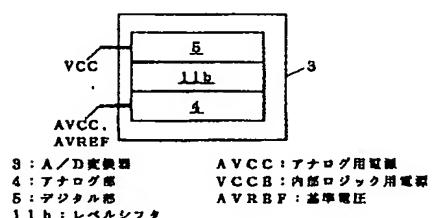
【図11】 従来の技術を示すブロック図である。

【図12】 本願の基本的思想を説明するブロック図である。

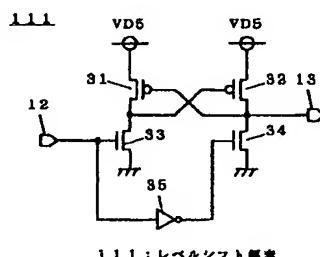
【符号の説明】

3 アナログデジタル変換器、4 アナログ部、5 デジタル部、11b レベルシフタ、22 ブルアップ回路、23 ブルダウン回路、25 ラッチ回路、40 電位強制回路、111~115 レベルシフト要素、A VCC アナログ用電源、VCCE 内部ロジック用電源、AVREF 基準電圧。

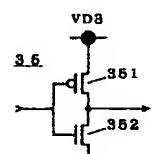
【図1】



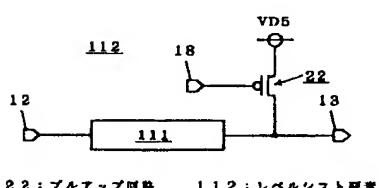
【図2】



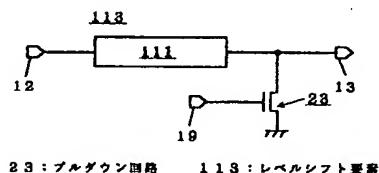
【図3】



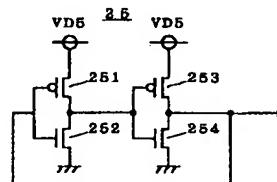
【図4】



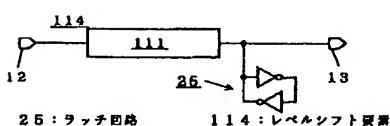
【図5】



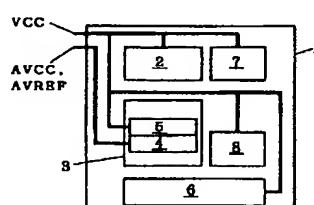
【図7】



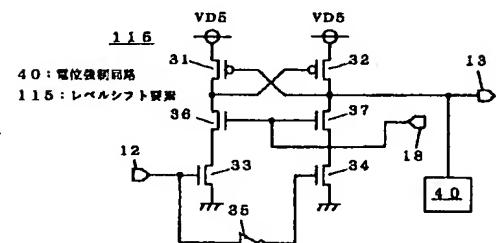
【図6】



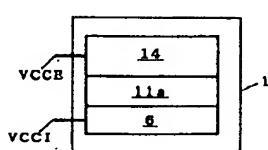
【図9】



【図8】



【図11】



【図12】

